

# M-1113A - Flip-Flops

## 1. Objetivos

Verificar experimentalmente o funcionamento dos Flip-Flops.

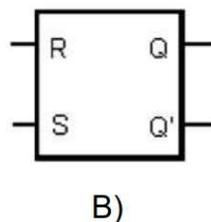
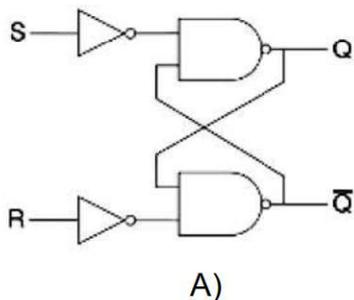
## 2. Introdução Teórica

Junto com o conceito do que são Flip-Flops, temos que também ter em mente o conceito de lógica seqüencial. De maneira simples, porém clara, circuitos seqüências são aqueles que tem as saídas dependentes das variáveis de entrada e/ou de seus estados anteriores que permanecem armazenados e que operam sob o comando de uma seqüência de pulsos (clocks). Voltando aos Flip-Flops, temos em seu circuito suas variáveis de entrada, uma entrada para o clock e duas saídas, normalmente denominadas com Q e Q'.

Quando falamos de clocks e circuitos seqüências, temos que entender apenas um conceito muito simples, que as saídas se alteram de acordo com a entrada apenas quando damos um pulso no clock. Como você já pode notar os Flip-Flops são circuitos seqüências lógicos desenvolvidos para inúmeras aplicações, como por exemplo o controle de alguma produção industrial, onde temos varias entradas que devem funcionar de acordo com um determinada lógica para que a produção possa ser otimizada e nunca parar. Com isso em mente, podemos ver os tipos de Flip-Flops

### 2.1 Tipo RS Básico

Consiste no tipo mais básico de Flip-Flop, onde temos as duas saídas Q e Q' e suas variáveis de entrada são um Set e um Reset, onde o Set seleciona o nível lógico 1 na saída do circuito (Q) e o Reset que seleciona o nível lógico 0 na saída (Q'). Abaixo temos seu circuito equivalente. Adote Qa como a entrada atual do circuito



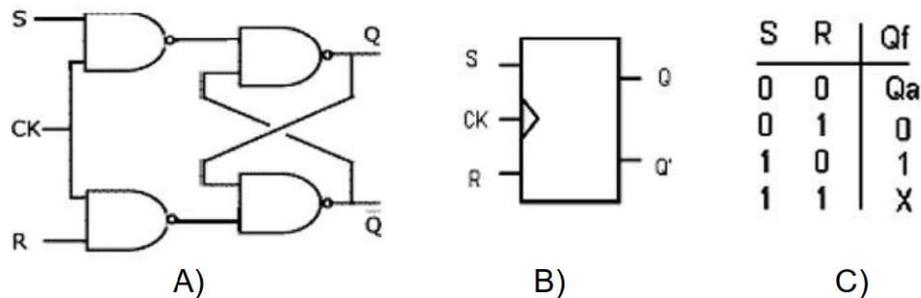
S	R	Qf
0	0	Qa
0	1	0
1	0	1
1	1	X

C) Tabela Verdade

**RS Básico** - A) Circuito, B) Representação e C) Tabela Verdade.

## 2.2 Tipo RS com Entrada Clock

Partindo da mesma lógica do tipo de Flip-Flop RS Básico, a única alteração em sua composição é a entrada de um clock, que é a peça fundamental para o circuito, pois quando ativo ele altera a saída de acordo com as variáveis de entrada. Abaixo segue o circuito equivalente. Aqui temos também que adaptar a tabela verdade de acordo com as novas especificações:

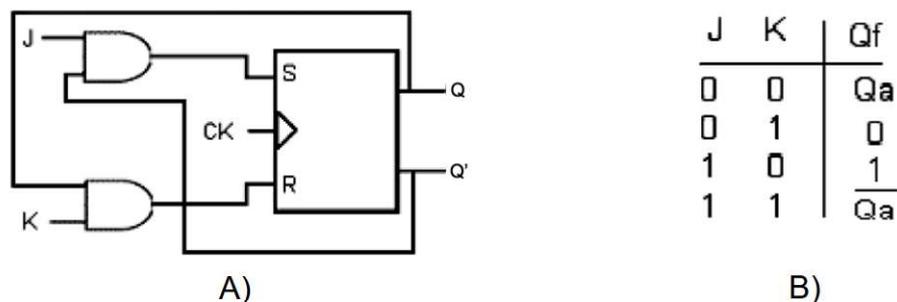


**RS com Clock** - A) Circuito, B) Representação e C) Tabela Verdade.

Porém, aqui temos a entrada do clock, que quando possui nível lógico 1 permite o funcionamento do RS Básico em si e quando ele apresenta nível lógico 0 ele apresenta na saída o último estado das entradas.

## 2.3 Tipo JK

O funcionamento do JK nada mais é que um Flip-Flop RS realimentado, conforme ilustração abaixo:



**JK** - A) Circuito e B) Tabela Verdade.

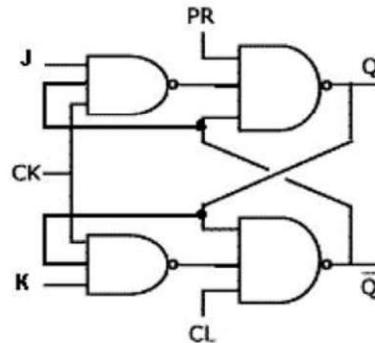
## 2.4 Tipo JK com Preset e Clear

Aqui temos a entrada de duas novas variáveis, o Preset e Clear, que determinam o funcionamento do Flip-Flop. Onde o Preset seleciona o nível lógico 1 na saída, independente do que está nas entradas, assim como o Clear seleciona o nível lógico 0 na saída independente do que está nas entradas. Abaixo segue a tabela de como funciona o esquema Preset e Clear.

CLR	PR	Qf
0	0	não permitido
0	1	0
1	0	1
1	1	funcionamento normal

**JK com Preset e Clear.**

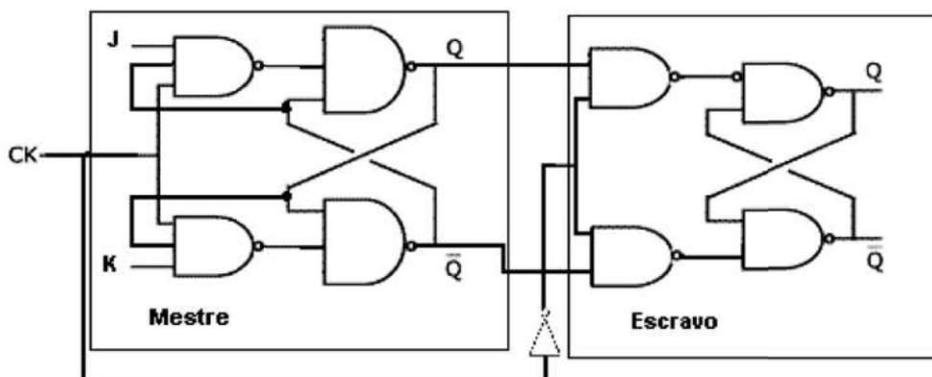
Uma importante observação é o uso de portas inversoras antes das entradas Preset e Clear e por isso tivemos os resultados obtidos acima. Podemos então concluir que quando as entradas Preset e Clear forem iguais a 1, o Flip-Flop apresentará as mesmas características de um Flip-Flop tipo JK. Aqui temos o circuito equivalente:



**JK com Preset e Clear - Circuito Equivalente.**

## 2.5 Tipo JK Mestre-Escravo

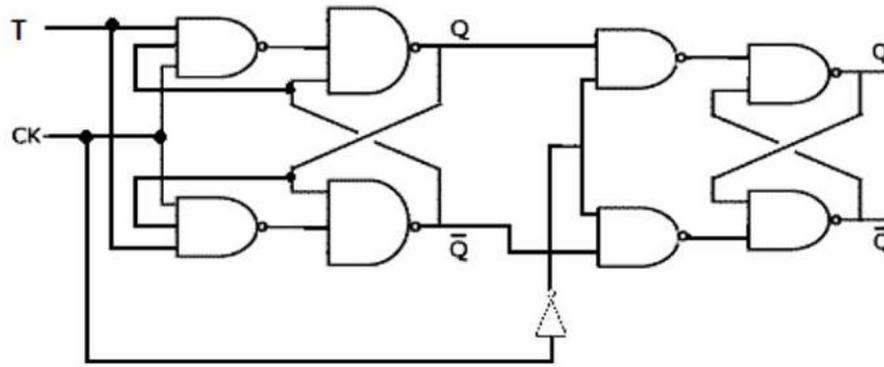
Este tipo de Flip-Flop foi desenvolvido para resolver um problema característico do Flip-Flop tipo JK, que é a alteração das entradas enquanto o sinal do clock for 1, alterando as saídas até que o clock seja 0. Visando corrigir este erro foi desenvolvido um circuito que conforme é dado o pulso no clock suas entradas são bloqueadas, e a saída só é fornecida quando o pulso deste clock é 0. Abaixo segue o esquema do circuito em questão.



**JK Mestre-Escravo - Esquema do Circuito.**

## 2.6 Tipo T

Este Flip-Flop é obtido a partir de um Flip-Flop JK Mestre-Escravo, onde temos as entradas J e K curto-circuitadas, assim o circuito só pode assumir dois estados lógicos, conforme ilustração a seguir:

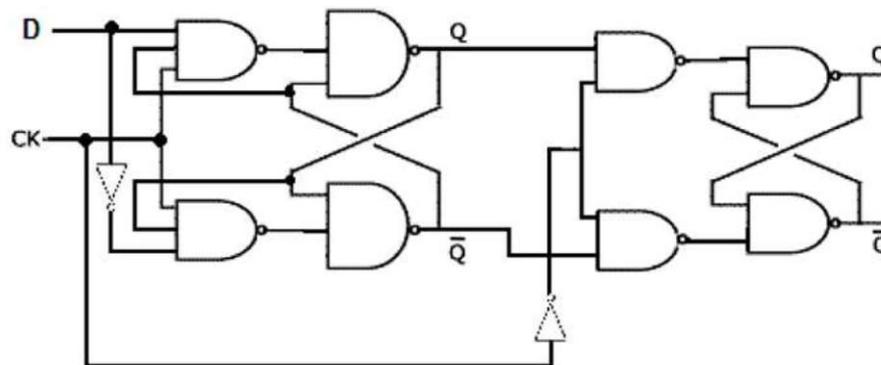


**Tipo T** - Esquema do Circuito.

Este Flip-Flop é utilizado como célula principal dos contadores assíncronos, além de serem divisores de frequências.

## 2.7 Tipo D

Muito parecido com o Flip-Flop tipo T, este apresenta a semelhança de curto-circuitar as entradas, porém ao invés disso, temos a presença de uma porta inversora entre as duas entradas, como mostrado o exemplo de circuito abaixo:



**Tipo D** - Esquema do Circuito.

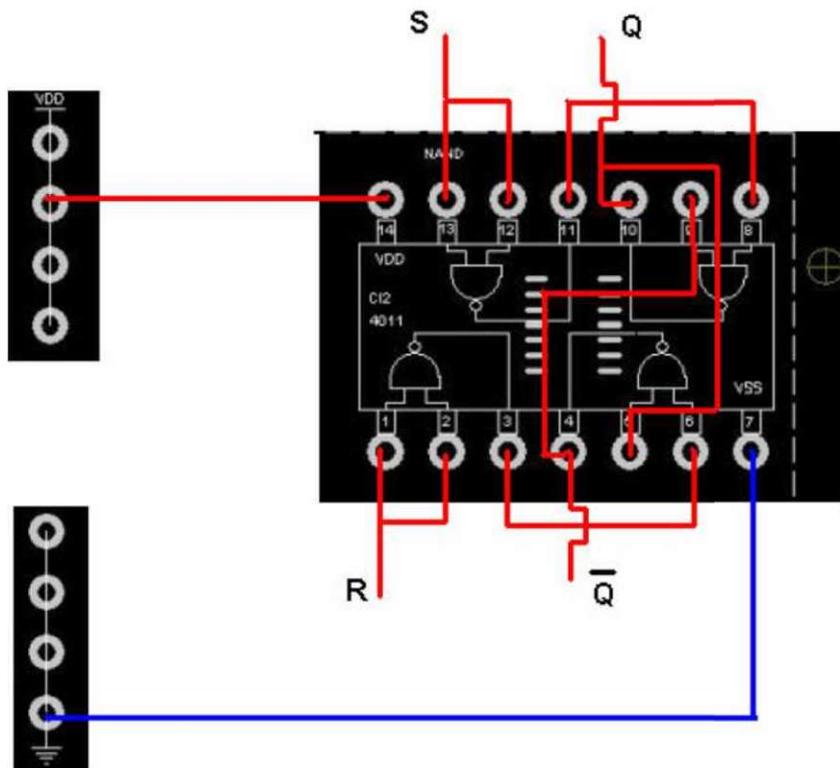
Agora podemos ver facilmente o funcionamento do Flip-Flop tipo D, utilizado principalmente como registradores de deslocamento, devido a sua capacidade de armazenar dados.

### 3. Experiência 01: Flip-Flop - RS Básico

1. Teste o seguinte Flip-Flop tipo RS completando sua tabela, como não temos o Flip-Flop RS na placa, monte seu circuito equivalente utilizando portas lógicas:



Utilize o abaixo como base para a montagem do circuito observando que as saídas Q e Q' devem ser ligados aos leds indicadores, enquanto as entradas R e S ligadas nas chaves que forneçam nível lógico 0 e 1.



R:            Circuito:            Tabela:

2. Partindo do exemplo anterior, explique o primeiro valor da tabela e o último valor encontrado em sua saída.

R: \_\_\_\_\_

\_\_\_\_\_

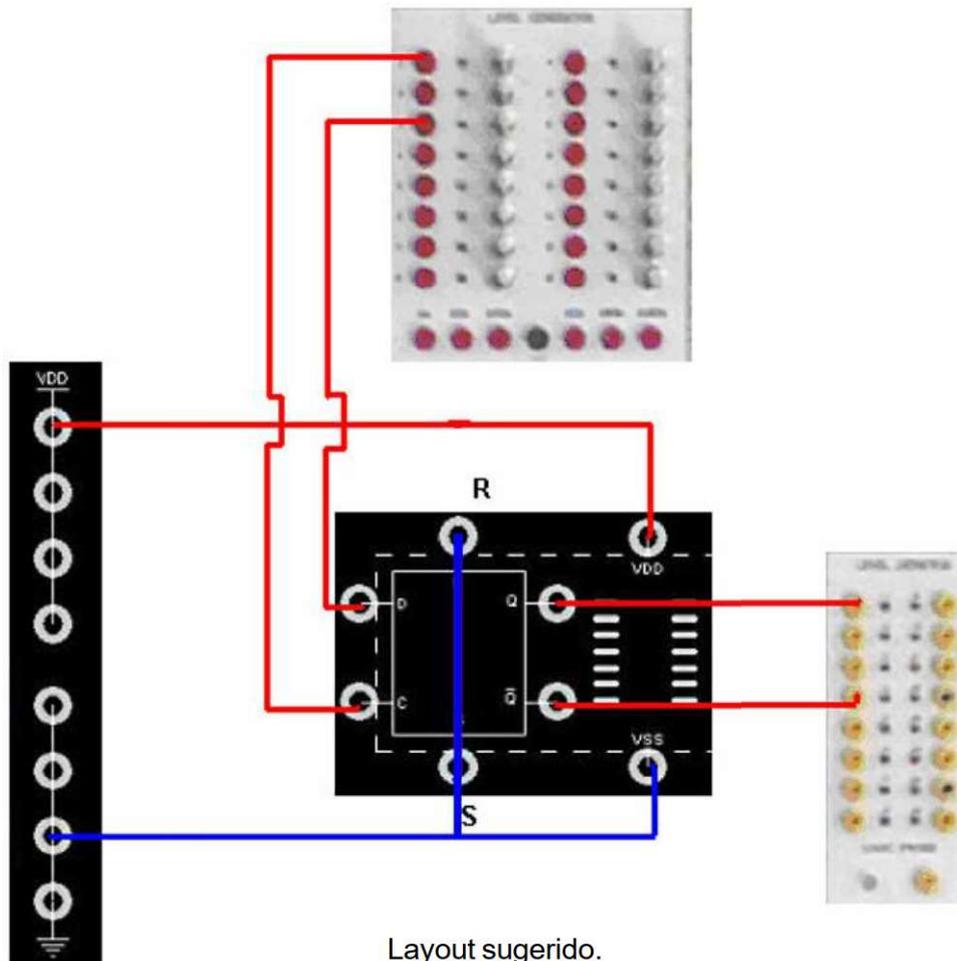
\_\_\_\_\_

\_\_\_\_\_

\_\_\_\_\_

#### 4. Experiência 02: Flip-Flop - Tipo D

1. Complete a tabela com todas as possíveis combinações de entrada de dados do Flip-Flop Tipo D, sem enviar pulsos para o clock, verificando sua saída. Explique o que aconteceu.



OBS: Perceba que os pinos **S** e **R** estão juntos com **Vss**. Isto é necessário para obter o funcionamento normal pois esses pinos são o Preset e o Clear vistos na teoria.

D	Qf	Qf'
0		
1		

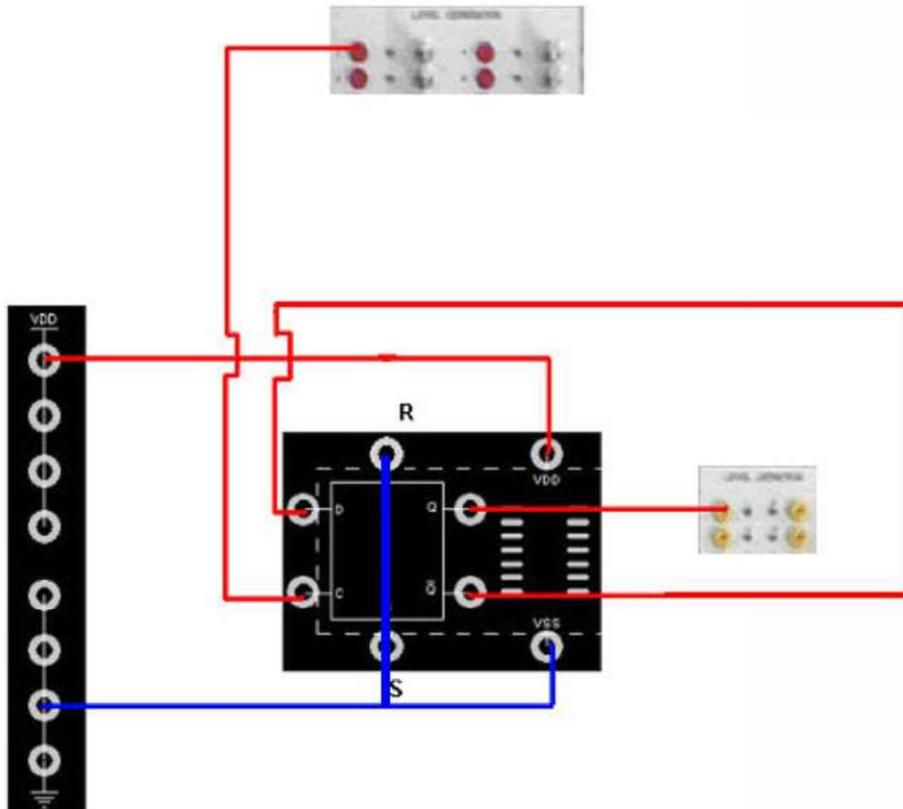
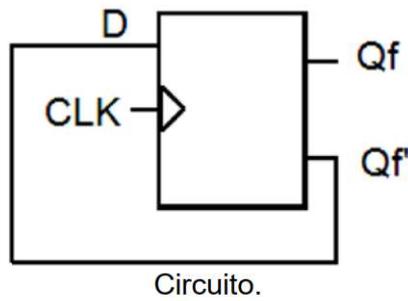
R: \_\_\_\_\_

\_\_\_\_\_

2. Agora repita o exercício acima, mas agora utilizando o clock e o atualizando sempre que mudar a entrada.

D	Qf	Qf'
0		
1		

3. Monte o seguinte circuito e verifique sua saída. Comente o seu funcionamento após cada pulso no clock.



Layout sugerido para montagem.

R: \_\_\_\_\_  
 \_\_\_\_\_  
 \_\_\_\_\_  
 \_\_\_\_\_  
 \_\_\_\_\_

4. Teste agora o funcionamento alternando os valores dos Set e Reset, verificando como se comporta a saída do Flip-Flop.

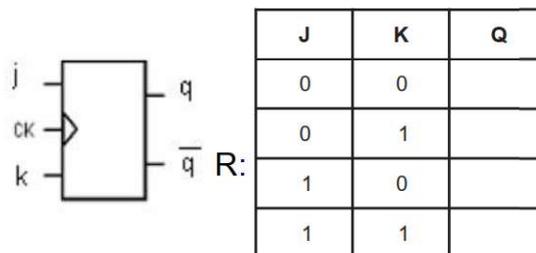
R:

5. Com base no seu conhecimento teórico e prático, explique os resultados encontrados no item anterior e a função do Set (preset) e Reset (clear).

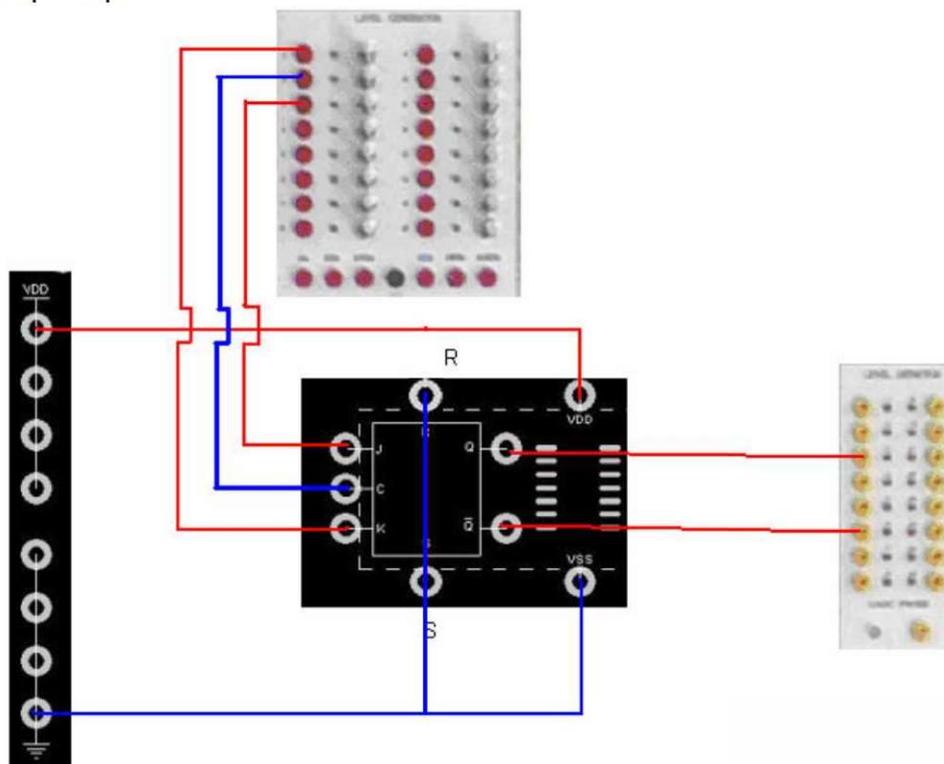
R: \_\_\_\_\_  
 \_\_\_\_\_  
 \_\_\_\_\_  
 \_\_\_\_\_

### 5. Experiência 03: Flip-Flop - JK

1. Utilizando o esquema sugerido abaixo, preencha a tabela verdade. Note que é necessário simular o pulso de clock através da chave para visualizarmos a saída.



OBS: Os pinos Preset e Clear se encontram em nível lógico 0 para o funcionamento normal do Flip-Flop.



**2.** Em relação a última combinação da tabela verdade, quando as entradas J e K forem 1, e modificarmos os pulsos de clock repetitivamente, o que se pode notar em relação as saídas Q e Q', qual a principal diferença em relação ao Flip-Flop Tipo RS?

R: \_\_\_\_\_  
\_\_\_\_\_  
\_\_\_\_\_

**3.** Teste agora o funcionamento alternando os valores dos Set (S preset) e Reset (R clear), verificando como se comporta a saída do Flip-Flop e comente o seu funcionamento.

R: \_\_\_\_\_  
\_\_\_\_\_  
\_\_\_\_\_

**4.** Elabore um contador de pulso utilizando 4 Flip-Flops JK, no qual sua saída deve apresentar o código BCD 8421, visualizando nos leds, simule o clock inicialmente nas chaves.

R:

**5.** Agora insira um sinal de clock de 1Hz, no primeiro Flip-Flop, e comente o que acontece com os valores na saída.

R: \_\_\_\_\_  
\_\_\_\_\_

**6.** Descreva os passos a serem efetuados para se obter um contador de 0 a 5.

R: \_\_\_\_\_  
\_\_\_\_\_  
\_\_\_\_\_  
\_\_\_\_\_  
\_\_\_\_\_  
\_\_\_\_\_

Manual sujeito a alterações sem aviso prévio.

Revisão: 00

Data da Emissão: 17.11.2009